

10/618,732
03 S 0673

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2002年 7月15日

出願番号

Application Number: 特願2002-206177

[ST.10/C]:

[JP2002-206177]

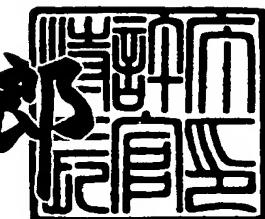
出願人

Applicant(s): 株式会社東芝

2003年 6月 3日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一



出証番号 出証特2003-3042969

【書類名】 特許願
【整理番号】 A000202294
【提出日】 平成14年 7月15日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 29/76
H01L 27/10
【発明の名称】 不揮発性半導体メモリ
【請求項の数】 10
【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
イクロエレクトロニクスセンター内
【氏名】 丹沢 徹
【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝
【代理人】
【識別番号】 100058479
【弁理士】
【氏名又は名称】 鈴江 武彦
【電話番号】 03-3502-3181
【選任した代理人】
【識別番号】 100084618
【弁理士】
【氏名又は名称】 村松 貞男
【選任した代理人】
【識別番号】 100068814
【弁理士】
【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体メモリ

【特許請求の範囲】

【請求項1】 ゲート、ドレインおよびソースを有し、しきい値電圧レベルに応じたデータを保持する複数の不揮発性メモリセルと、

前記複数の不揮発性メモリセルの各ゲートにそれぞれ接続された複数のワード線と、

前記複数の不揮発性メモリセルの各ドレインにそれぞれ接続された複数のビット線と、

前記複数の不揮発性メモリセルの各ソースにそれぞれ接続された複数のソース線と、

基準電流を発生する基準電流発生回路と、

前記基準電流と前記複数の不揮発性メモリセルから前記複数のビット線にそれぞれ流れる電流とを比較し、前記複数の不揮発性メモリセルによってそれぞれ保持されたデータを読み出すセンスアンプと

を具備し、

データ書き込み時には、前記複数の不揮発性メモリセルより選択された処理対象のメモリセルにつながるワード線とビット線とに書き込み電圧を印加し、

処理対象のメモリセルに所望のデータが書き込まれたかを確認するための書き込みベリファイ時には、前記処理対象のメモリセルにつながるワード線とビット線とに書き込みベリファイ電圧を印加し、

データ読み出し時には、前記複数の不揮発性メモリセルより選択された処理対象のメモリセルにつながるワード線とビット線とに読み出し電圧を印加するよう構成された不揮発性半導体メモリであって、

前記基準電流発生回路は、リファレンスセルと、そのリファレンスセルに流れ電流を増幅する増幅回路とを含み、前記データ読み出し時の電流の増幅率に対する、前記書き込みベリファイ時の電流の増幅率の比である電流増幅比が1よりも大きいことを特徴とする不揮発性半導体メモリ。

【請求項2】 前記リファレンスセルのゲート電圧は、前記読み出し電圧に

等しいことを特徴とする請求項1に記載の不揮発性半導体メモリ。

【請求項3】 ゲート、ドレインおよびソースを有し、しきい値電圧レベルに応じた多値データを保持する複数の不揮発性メモリセルと、

前記複数の不揮発性メモリセルの各ゲートにそれぞれ接続された複数のワード線と、

前記複数の不揮発性メモリセルの各ドレインにそれぞれ接続された複数のビット線と、

前記複数の不揮発性メモリセルの各ソースにそれぞれ接続された複数のソース線と、

少なくとも第1および第2の基準電流を発生する基準電流発生回路と、

前記第1の基準電流と前記複数の不揮発性メモリセルから前記複数のビット線にそれぞれ流れる電流とを比較し、前記複数の不揮発性メモリセルによってそれぞれ保持されたデータに対応する信号を読み出す第1のセンスアンプと、

前記第2の基準電流と前記複数の不揮発性メモリセルから前記複数のビット線にそれぞれ流れる電流とを比較し、前記複数の不揮発性メモリセルによってそれぞれ保持されたデータに対応する信号を読み出す第2のセンスアンプと

を具備し、

データ書き込み時には、前記複数の不揮発性メモリセルより選択された処理対象のメモリセルにつながるワード線とビット線とに書き込み電圧を印加し、

処理対象のメモリセルに所望のデータが書き込まれたかを確認するための書き込みベリファイ時には、前記処理対象のメモリセルにつながるワード線とビット線とに書き込みベリファイ電圧を印加し、

データ読み出し時には、前記複数の不揮発性メモリセルより選択された処理対象のメモリセルにつながるワード線とビット線とに読み出し電圧を印加するよう構成された不揮発性半導体メモリであって、

前記基準電流発生回路は、少なくとも第1のリファレンスセルと、この第1のリファレンスセルのしきい値電圧よりも高いしきい値電圧とされた第2のリファレンスセル、および、前記第1のリファレンスセルに流れる電流を増幅する第1の増幅回路と、前記第2のリファレンスセルに流れる電流を増幅する第2の増幅

回路を含み、前記第1の増幅回路における前記データ読み出し時の電流の増幅率に対する、前記書き込みベリファイ時の電流の増幅率の比である第1の電流増幅比が1よりも大きく、前記第2の増幅回路における前記データ読み出し時の電流の増幅率に対する、前記書き込みベリファイ時の電流の増幅率の比である第2の電流増幅比が1よりも大きく、前記第1の電流増幅比が前記第2の電流増幅比よりも小さいことを特徴とする不揮発性半導体メモリ。

【請求項4】 前記第1および第2のリファレンスセルのゲート電圧は、前記読み出し電圧に等しいことを特徴とする請求項3に記載の不揮発性半導体メモリ。

【請求項5】 前記書き込みベリファイ電圧は、前記読み出し電圧に等しいことを特徴とする請求項1または3に記載の不揮発性半導体メモリ。

【請求項6】 前記基準電流発生回路は、さらに、第3の基準電流を発生するための、前記第2のリファレンスセルのしきい値電圧よりも高いしきい値電圧とされた第3のリファレンスセル、および、前記第3のリファレンスセルに流れる電流を増幅する第3の増幅回路を含むことを特徴とする請求項3に記載の不揮発性半導体メモリ。

【請求項7】 前記第1の増幅回路は前記第1のリファレンスセルを含み、第1の電流非変換p型MOSトランジスタの第1のトランスコンダクタンスと第1の読み出し時電流変換p型MOSトランジスタの第2のトランスコンダクタンスとの比が1:a0で、

前記第1の電流非変換p型MOSトランジスタの前記第1のトランスコンダクタンスと第1のベリファイ時電流変換p型MOSトランジスタの第3のトランスコンダクタンスとの比が1:b0で、

前記第1のリファレンスセルのしきい値電圧をVt0、ゲート電圧Vr印加時のセル電流をIrerefce110とすると、

データ読み出し時の前記第1の基準電流Ireref0はa0×Irerefce110によって、

書き込みベリファイ時の前記第1の基準電流Ireref0はb0×Irerefce110によって、

前記第2の増幅回路は前記第2のリファレンスセルを含み、

第2の電流非変換p型MOSトランジスタの第4のトランスコンダクタンスと第2の読み出し時電流変換p型MOSトランジスタの第5のトランスコンダクタンスとの比が1:a1で、

前記第2の電流非変換p型MOSトランジスタの前記第4のトランスコンダクタンスと第2のベリファイ時電流変換p型MOSトランジスタの第6のトランスコンダクタンスとの比が1:b1で、

前記第2のリファレンスセルのしきい値電圧をVt1 (Vt1>Vt0)、ゲート電圧Vr印加時のセル電流をIrefcel111とすると、

データ読み出し時の前記第2の基準電流Iref1はa1×Irefcel111によって、

書き込みベリファイ時の前記第2の基準電流Iref1はb1×Irefcel111によって、

前記第3の増幅回路は前記第3のリファレンスセルを含み、

第3の電流非変換p型MOSトランジスタの第7のトランスコンダクタンスと第3の読み出し時電流変換p型MOSトランジスタの第8のトランスコンダクタンスとの比が1:a2で、

前記第3の電流非変換p型MOSトランジスタの前記第7のトランスコンダクタンスと第3のベリファイ時電流変換p型MOSトランジスタの第9のトランスコンダクタンスとの比が1:b2で、

前記第3のリファレンスセルのしきい値電圧をVt2 (Vt2>Vt1>Vt0)、ゲート電圧Vr印加時のセル電流をIrefcel112とすると、

データ読み出し時の前記第3の基準電流Iref2はa2×Irefcel112によって、

書き込みベリファイ時の前記第3の基準電流Iref2はb2×Irefcel112によって、

それぞれ与えられることを特徴とする請求項6に記載の不揮発性半導体メモリ

【請求項8】 前記基準電流発生回路は、さらに、第3の基準電流を発生す

るための、前記第2のリファレンスセルに流れる電流を増幅する第3の増幅回路を含むことを特徴とする請求項3に記載の不揮発性半導体メモリ。

【請求項9】 前記第1の増幅回路は前記第1のリファレンスセルを含み、第1の電流非変換p型MOSトランジスタの第1のトランスコンダクタンスと第1の読み出し時電流変換p型MOSトランジスタの第2のトランスコンダクタンスとの比が1:a0で、

前記第1の電流非変換p型MOSトランジスタの前記第1のトランスコンダクタンスと第1のベリファイ時電流変換p型MOSトランジスタの第3のトランスコンダクタンスとの比が1:b0で、

前記第1のリファレンスセルのしきい値電圧をVt0、ゲート電圧Vr印加時のセル電流をIrefc110とすると、

データ読み出し時の前記第1の基準電流Iref0はa0×Irefc110によって、

書き込みベリファイ時の前記第1の基準電流Iref0はb0×Irefc110によって、

前記第2の増幅回路は前記第2のリファレンスセルを含み、第2の電流非変換p型MOSトランジスタの第4のトランスコンダクタンスと第2の読み出し時電流変換p型MOSトランジスタの第5のトランスコンダクタンスとの比が1:a1で、

前記第2の電流非変換p型MOSトランジスタの前記第4のトランスコンダクタンスと第2のベリファイ時電流変換p型MOSトランジスタの第6のトランスコンダクタンスとの比が1:b1で、

前記第2のリファレンスセルのしきい値電圧をVt1 (Vt1>Vt0)、ゲート電圧Vr印加時のセル電流をIrefc111とすると、

データ読み出し時の前記第2の基準電流Iref1はa1×Irefc111によって、

書き込みベリファイ時の前記第2の基準電流Iref1はb1×Irefc111によって、

前記第3の増幅回路は前記第2のリファレンスセルを含み、

第2の電流非変換p型MOSトランジスタの第4のトランスマンダクタンスと
第3の読み出し時電流変換p型MOSトランジスタの第7のトランスマンダクタ
ンスとの比が1:a2で、

前記第2の電流非変換p型MOSトランジスタの前記第4のトランスクンダクタンスと第3のベリファイ時電流変換p型MOSトランジスタの第8のトランスクンダクタンスとの比が1:b2で、

前記第2のリファレンスセルのしきい値電圧を V_{t1} 、ゲート電圧 V_r 印加時のセル電流を $I_{refcell1}$ とすると、

データ読み出し時の前記第3の基準電流 I_{ref2} は $a_2 \times I_{refcell1}$
1 によって、

それぞれ与えられることを特徴とする請求項8に記載の不揮発性半導体メモリ

【請求項 10】 前記第3の基準電流と前記複数の不揮発性メモリセルから前記複数のビット線にそれぞれ流れる電流とを比較し、前記複数の不揮発性メモリセルによってそれぞれ保持されたデータに対応する信号を読み出す第3のセンスアンプを、さらに備えることを特徴とする請求項6または8に記載の不揮発性半導体メモリ。

【発明の詳細な説明】

[0 0 0 1]

【発明の属する技術分野】

本発明は、不揮発性半導体メモリに関するもので、特に、1つのセルに2ビット以上の異なるレベルのデータを記憶する多値フラッシュメモリに関する。

[0 0 0 2]

【従来の技術】

フラッシュメモリとしては、2つのレベル（以後、二値データという）を持つ二値フラッシュメモリが広く普及している。

[0 0 0 3]

図11は、二値フラッシュメモリ（たとえば、NOR型）の構成の要部を示すものである。

【0004】

図11において、セルアレイ（cell array）101には、複数のメモリセル（本体セル）MCが行列状に配置されている。同一行に配置されたメモリセルMCの各コントロールゲートは、複数のワード線WL₀～WL_nのうちの対応する1つのワード線に共通に接続されている。また、同一列に配置されたメモリセルMCの各ドレイン領域は、複数のビット線BL₀～BL_kのうちの対応する1つのビット線に共通に接続されている。一般に、セルアレイ101は複数のブロックに分割されており、同じブロック内のメモリセルMCの各ソース領域が、複数のソース線（図示していない）のうちの対応するブロックのソース線に共通に接続されている。

【0005】

各ビット線BL₀～BL_kは、複数の選択トランジスタST₀～ST_kのうちの対応する1つの選択トランジスタを介して、センスアンプ（Sense amp）102に接続されている。選択トランジスタST₀～ST_kは、それぞれのゲートに、複数のカラム線COL₀～COL_mのうちの対応する1つのカラム線が接続されている。

【0006】

リファレンス回路103は、たとえば、1つのリファレンスセルRCと複数のダミーセルDCとが、ドレイン領域をそれぞれ共通にして接続されている。リファレンスセルRCのコントロールゲートは、リファレンスワード線RWLに接続されている。また、リファレンスセルRCのドレイン領域は、n型MOSトランジスタ103aを介して、上記センスアンプ102に接続されている。n型MOSトランジスタ103aは、そのゲートに、リファレンスカラム線RCOLが接続されている。

【0007】

センスアンプ102は、n型MOSトランジスタ102a, 102b, p型MOSトランジスタ102c, 102d、および、差動増幅器102eを備えて構

成されている。

【0008】

n型MOSトランジスタ102aのソース領域は、上記セルアレイ101内の各選択トランジスタST0～STkのドレイン領域に共通に接続されている。n型MOSトランジスタ102aのドレイン領域は、p型MOSトランジスタ102cのゲートとドレイン領域、および、差動増幅器102eの反転入力端にそれぞれ接続されている。

【0009】

一方、n型MOSトランジスタ102bのソース領域は、上記リファレンス回路103内のn型MOSトランジスタ103aのドレイン領域に接続されている。n型MOSトランジスタ102bのドレイン領域は、p型MOSトランジスタ102dのゲートとドレイン領域、および、差動増幅器102eの非反転入力端にそれぞれ接続されている。

【0010】

なお、n型MOSトランジスタ102a、102bは、各ゲートに、BIAS電源が供給されるようになっている。p型MOSトランジスタ102c、102dは、各ソース領域に、電源Vccが供給されるようになっている。

【0011】

図12は、上記した構成の二値フラッシュメモリにおけるメモリセルMCおよびリファレンスセルRCについて、コントロールゲートに供給されるゲート電圧Vgと負荷電流当りのセル電流（ドレイン電流Id）Icellとの関係（Vg-Icell特性）を示すものである。

【0012】

リファレンスセルRCのコントロールゲートには、データ読み出し時および書き込みペリファイ時とも、ゲート電圧Vrが印加される。これにより、センスアンプ102において、常に、基準電流Irefに対しての、セル電流Icellの“0”／“1”的判定が行われる。

【0013】

ここで、メモリセルMCのVg-Id特性は、フローティングゲートに蓄積さ

れる電子の量が比較的多い状態、すなわち、メモリセルMCのしきい値電圧 V_{th} が高い状態を“0”データ（“0”データを記憶しているメモリセルMCを“0”セルと称する）とし、逆に、電子の量が比較的少ない状態、すなわち、メモリセルMCのしきい値電圧 V_{th} が低い状態を“1”データ（“1”データを記憶しているメモリセルMCを“1”セルと称する）として扱っている。

【0014】

リファレンスセルRCのセル電流（基準電流 I_{ref} ）は、メモリセルMCのセル電流 I_{cell} の半分程度である。このように、リファレンスセルRCのセル電流 I_{ref} は、メモリセルMCのセル電流 I_{cell} の約半分となるよう設定される。つまり、ゲート電圧 V_g が読み出し電圧 V_r のときの、メモリセルMCのセル電流 I_{cell} とリファレンスセルRCのセル電流 I_{ref} との差は、“0”と“1”とでほぼ等しくなる。

【0015】

図13は、各動作モードにおけるメモリセルMCのゲート電圧（ $V_g - hontai$ ）を、リファレンスセルRCのゲート電圧（ $V_g - ref$ ）と対比して示すものである。

【0016】

たとえば、データの書き込み状態“0”を規定するための書き込みベリファイ（PV）時には、メモリセルMCのコントロールゲートに電圧 V_{pv} が印加される。この書き込みベリファイ電圧 V_{pv} とリファレンスセルRCのゲート電圧 V_r との差が、メモリセルMCのしきい値電圧 V_{th} に反映される。これにより、“0”セルは、通常、ゲート電圧 $V_g = V_r$ のときにカットオフする。

【0017】

同様に、たとえば、データの消去状態“1”を規定するための消去ベリファイ（EV）時には、メモリセルMCのコントロールゲートに電圧 V_{ev} が印加される。この消去ベリファイ電圧 V_{ev} をリファレンス電圧 V_{trref} と同程度とすれば、“1”セルのゲート電圧 $V_g = V_r$ のときの電流、すなわち、セル電流 I_{cell} はほぼ $2I_{ref}$ となる。

【0018】

この電流差 ($+I_{ref} / -I_{ref}$) をセンスアンプ102によって検出し、“0”／“1”的デジタル信号に変換することで、セルデータの読み出しが行われる。

【0019】

図14は、二値データ“0”，“1”を記憶可能なメモリセル（二値セル）MCの、ゲート電圧 V_g に対するしきい値電圧の分布（セル分布）を示すものである。

【0020】

たとえば、データの消去状態“1”に対応するセル分布の下限を補償するための過消去ベリファイ（OEV）時には、メモリセルMCのコントロールゲートに電圧 $V_{e\vee}$ よりも低い電圧 $V_{oe\vee}$ を印加する。この過消去ベリファイ電圧 $V_{oe\vee}$ を印加した際に“1”となるセルを検出し、そのビットのしきい値電圧が、電圧 $V_{oe\vee}$ を印加したときに“0”となるように、弱い書き込みを行う。これにより、消去“1”分布は、所定の範囲内に収まる。

【0021】

ところで、ビット当りのセル面積は、フラッシュメモリのコスト指標となる。また、セル面積を縮小する他に、1つのセルに複数ビット分のデータを記憶させて低コスト化を図る多値フラッシュメモリがある。4つのレベル（以後、四値データという）を持つ四値フラッシュメモリとしては、たとえばM. Bauer et al., “A multilevel-cell 32Mb Flash memory,” ISSCC digest of technical papers, pp. 132-3, 1995. で、すでに報告されている。この四値フラッシュメモリでのセル分布は、ゲート電圧に対して離散的となっている。すなわち、ベリファイは、二値フラッシュメモリの場合と同様に、メモリセルのゲート電圧を変えて読み出しに対するマージンを確保している。一方、セルデータの読み出しが、所定のゲート電圧で行われる。

【0022】

【発明が解決しようとする課題】

ここで、メモリセルにトランスコンダクタンス、すなわち、ゲート電圧に対す

るセル電流の変化率にばらつきがあると、読み出し電流の基準電流に対するマージン（読み出しマージン）が減少してしまう。この読み出しマージンの減少は、読み出しアクセス時間に影響をおよぼしたり、読み出し不良を引き起こしたりする要因となる。

【0023】

このように、従来の多値フラッシュメモリでは、ベリファイマージンをゲート電圧で与えていたため、読み出しマージンを減少させるという問題があった。

【0024】

そこで、この発明は、ベリファイマージンを安定に保証でき、読み出しマージンの減少を防止することが可能な不揮発性半導体メモリを提供することを目的としている。

【0025】

【課題を解決するための手段】

上記の目的を達成するために、この発明の不揮発性半導体メモリにあっては、ゲート、ドレインおよびソースを有し、しきい値電圧レベルに応じたデータを保持する複数の不揮発性メモリセルと、前記複数の不揮発性メモリセルの各ゲートにそれぞれ接続された複数のワード線と、前記複数の不揮発性メモリセルの各ドレインにそれぞれ接続された複数のビット線と、前記複数の不揮発性メモリセルの各ソースにそれぞれ接続された複数のソース線と、基準電流を発生する基準電流発生回路と、前記基準電流と前記複数の不揮発性メモリセルから前記複数のビット線にそれぞれ流れる電流とを比較し、前記複数の不揮発性メモリセルによってそれぞれ保持されたデータを読み出すセンスアンプとを具備し、データ書き込み時には、前記複数の不揮発性メモリセルより選択された処理対象のメモリセルにつながるワード線とビット線とに書き込み電圧を印加し、処理対象のメモリセルに所望のデータが書き込まれたかを確認するための書き込みベリファイ時には、前記処理対象のメモリセルにつながるワード線とビット線とに書き込みベリファイ電圧を印加し、データ読み出し時には、前記複数の不揮発性メモリセルより選択された処理対象のメモリセルにつながるワード線とビット線とに読み出し電圧を印加するように構成されたものであって、前記基準電流発生回路は、リファ

レンスセルと、そのリファレンスセルに流れる電流を増幅する増幅回路とを含み、前記データ読み出し時の電流の増幅率に対する、前記書き込みベリファイ時の電流の増幅率の比である電流増幅比が1よりも大きいことを特徴とする。

【0026】

また、この発明の不揮発性半導体メモリにあっては、ゲート、ドレインおよびソースを有し、しきい値電圧レベルに応じた多値データを保持する複数の不揮発性メモリセルと、前記複数の不揮発性メモリセルの各ゲートにそれぞれ接続された複数のワード線と、前記複数の不揮発性メモリセルの各ドレインにそれぞれ接続された複数のビット線と、前記複数の不揮発性メモリセルの各ソースにそれぞれ接続された複数のソース線と、少なくとも第1および第2の基準電流を発生する基準電流発生回路と、前記第1の基準電流と前記複数の不揮発性メモリセルから前記複数のビット線にそれぞれ流れる電流とを比較し、前記複数の不揮発性メモリセルによってそれぞれ保持されたデータに対応する信号を読み出す第1のセンスアンプと、前記第2の基準電流と前記複数の不揮発性メモリセルから前記複数のビット線にそれぞれ流れる電流とを比較し、前記複数の不揮発性メモリセルによってそれぞれ保持されたデータに対応する信号を読み出す第2のセンスアンプとを具備し、データ書き込み時には、前記複数の不揮発性メモリセルより選択された処理対象のメモリセルにつながるワード線とビット線とに書き込み電圧を印加し、処理対象のメモリセルに所望のデータが書き込まれたかを確認するための書き込みベリファイ時には、前記処理対象のメモリセルにつながるワード線とビット線とに書き込みベリファイ電圧を印加し、データ読み出し時には、前記複数の不揮発性メモリセルより選択された処理対象のメモリセルにつながるワード線とビット線とに読み出し電圧を印加するように構成されたものであって、前記基準電流発生回路は、少なくとも第1のリファレンスセルと、この第1のリファレンスセルのしきい値電圧よりも高いしきい値電圧とされた第2のリファレンスセル、および、前記第1のリファレンスセルに流れる電流を増幅する第1の増幅回路と、前記第2のリファレンスセルに流れる電流を増幅する第2の増幅回路を含み、前記第1の増幅回路における前記データ読み出し時の電流の増幅率に対する、前記書き込みベリファイ時の電流の増幅率の比である第1の電流増幅比が1

よりも大きく、前記第2の増幅回路における前記データ読み出し時の電流の増幅率に対する、前記書き込みベリファイ時の電流の増幅率の比である第2の電流増幅比が1よりも大きく、前記第1の電流増幅比が前記第2の電流増幅比よりも小さいことを特徴とする。

【0027】

この発明の不揮発性半導体メモリによれば、データの読み出しとベリファイとの基準電流を、同じリファレンスセルから対応する変換率で発生させるようにしている。これにより、どの分布のセルに対しても同じベリファイマージンを保証することが可能となるものである。

【0028】

【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して説明する。

【0029】

図1は、本発明の一実施形態にかかる、四値フラッシュメモリの構成例を示すものである。

【0030】

図1において、アドレスラッチ (Address latch) 11は、外部のアドレスバス (Address bus) からのアドレスを受け、それをラッチする。アドレスカウンタ (Address counter) 12は、アドレスラッチ11のラッチアドレスを受け、それをカウントする。アドレスバッファ (Address buffer) 13は、アドレスカウンタ12のカウント出力を受け、データを読み出しありは書き込みありは消去するメモリセル（選択された処理対象のメモリセル）に対応した内部アドレスを出力する。

【0031】

IOバッファ (IO buffer) 14は、外部のデータバス (Data bus) と内部のデータラッチ (Data latch) 15との間で、読み出しデータ／書き込みデータを授受する。

【0032】

メモリセルアレイ (Memory cell array) 21は、不揮発性

のメモリセル（本体セルMCのほかにリファレンスセルRCを含む）を複数有するものであり、各メモリセルに接続されるワード線およびビット線およびソース線を備えている。

【0033】

読み出し回路であるセンスアンプ（Sense amp）31は、データの読み出し時に、メモリセルアレイ21内のメモリセルのデータをカラムゲート回路（column gates）32を介してセンスし、上記データラッチ15に出力する。このセンスアンプ31は、ワード線に読み出し電圧を印加してビット線を流れる本体セルの電流と、リファレンスワード線にリファレンス電圧を印加してリファレンスセルを流れる電流との比較によって、メモリセルのデータを読み出すものである。なお、センスアンプ31の詳細な構成については、後述する。

【0034】

書き込み回路（Program circuit）33は、データの書き込み時に、上記データラッチ15から供給される書き込みデータを取り込み、カラムゲート回路32を介して、メモリセルアレイ21内の対応するビット線に書き込み電圧を供給する。この場合、ワード線またはビット線またはソース線またはメモリセルが形成されている半導体領域、あるいは、これらのうちの複数に電圧を印加して、セルデータを書き込むことが可能である。

【0035】

コマンドレジスタ（Command register）34は、外部のコントロールバス（Control bus）から入力されるコマンド（書き込みや消去コマンドなど）を保持する。

【0036】

コントローラ（Controller）35は、コマンドレジスタ34で保持されているコマンドを受けて、メモリ内の各回路を制御するための制御信号を発生する。

【0037】

ロウデコーダ（Row decoder）36は、上記アドレスバッファ13

から出力される内部アドレスを受け、メモリセルアレイ21内の対応するワード線を選択する。

【0038】

カラムデコーダ (Column decoder) 37は、上記アドレスバッファ13から出力される内部アドレスを受け、その内部アドレスに応じて、カラムゲート回路32内のカラムゲートを選択駆動する。これにより、メモリセルアレイ21内の選択されたビット線が、カラムゲート回路32を介して、センスアンプ31と接続される。

【0039】

昇圧回路であるチャージポンプ回路 (Charge pumps) 38は、外部電源電圧を昇圧して書き込み用の電圧 (たとえば、5V)、消去用の電圧 (たとえば、10V (Vpp) および-7V) を発生する。このチャージポンプ回路38で発生された書き込み用の5Vの電圧は、上記書き込み回路33に供給される。また、消去用の-7Vの電圧はメモリセルアレイ21に供給され、10Vの電圧Vppはレギュレータ回路 (Regulator) 39に供給される。

【0040】

レギュレータ回路39は、たとえばDAコンバータ回路によって構成されている。レギュレータ回路39は、上記チャージポンプ回路38で得られる電圧から、メモリセル (本体セル) の書き込み時や読み出し時にワード線、つまり、メモリセルのコントロールゲートに供給するための種々の電圧Vg-hontaiを生成する。このレギュレータ回路39で発生された電圧Vg-hontaiは、上記ロウデコーダ36を経由してメモリセルアレイ21内のワード線、つまり、本体セルのコントロールゲートに供給される。

【0041】

さらに、この四値フラッシュメモリには、ワード線またはビット線またはソース線またはメモリセルが形成されている半導体領域、あるいは、これらのうちの複数に電圧を印加して、メモリセルのデータを消去する消去回路 (図示していない) が設けられている。

【0042】

また、消去ベリファイ回路（図示していない）が設けられており、本実施形態の消去ベリファイ回路は、所定の電圧（たとえば、 V_r ）を消去対象となるメモリセルのワード線およびリファレンスセルのワード線に印加して、選択されたメモリセルのセル電流とリファレンスセルのセル電流とを比較して消去が終了したか否かを検出するように構成されている。

【0043】

また、書き込みベリファイ回路（図示していない）が設けられており、本実施形態の書き込みベリファイ回路は、所定の電圧（ V_r , V_r , V_{sw2} ）を書き込み対象となるメモリセルのワード線に印加し、所定の電圧（ V_r ）をリファレンスセルのワード線に印加して、選択されたメモリセルのセル電流とリファレンスセルのセル電流とを比較して書き込みが終了したか否かを検出するように構成されている。

【0044】

さらには、上記リファレンスセルを含み、そのリファレンスセルに流れる電流を増幅する電圧発生回路（増幅回路）を備える基準電流発生回路（詳細については、後述する）41が設けられている。

【0045】

図2は、図1中のメモリセルアレイ21における、1つの不揮発性メモリセルの素子断面構造を示すものである。

【0046】

図2において、P型半導体基板（P-substrate）21a内には、N型ウエル領域（N-well1）21bが形成されている。さらに、このN型ウエル領域21b内には、P型ウエル領域（P-well1）21cが形成されている。上記P型ウエル領域21c内には、それぞれ、n+型領域からなるメモリセルのソース／ドレイン領域21d, 21eが互いに離間して形成されている。そして、このソース／ドレイン領域21d, 21eの相互間のチャネル領域上には、図示していない絶縁膜を介して、フローティングゲート（Floating gate）21fが形成され、さらに、このフローティングゲート21f上には、図示していない絶縁膜を介して、コントロールゲート（Control gate）

e) 21g が形成されている。

【0047】

また、上記P型半導体基板21aにはp+型領域からなるコンタクト領域21hが、上記N型ウェル領域21bにはn+型領域からなるコンタクト領域21iが、上記P型ウェル領域21cにはp+型領域からなるコンタクト領域21jが、それぞれ形成されている。

【0048】

本体セルの場合、動作時に、メモリセルのコントロールゲート21gにはゲート電圧Vg-hontaiが、ドレイン領域21eにはドレイン電圧Vdが、ソース領域21dにはソース電圧Vsが、それぞれ供給される。また、コンタクト領域21i, 21jにはソース電圧Vsと同じ電圧が、コンタクト領域21hには0Vの接地電位が、それぞれ供給される。

【0049】

上記メモリセルは、フローティングゲート21fに蓄積される電子の量によって、データの“3”レベル、“2”レベル、“1”レベル、“0”レベルを記憶する。そして、記憶するセルデータのレベルに応じて、コントロールゲート21gからみたしきい値電圧が異なる。このような構成のメモリセルが複数設けられることによって、上記メモリセルアレイ21が構成されている。

【0050】

図3は、四値フラッシュメモリ（たとえば、NOR型）の構成の要部を示すものである。

【0051】

図3において、上記メモリセルアレイ21は、複数のメモリセル（本体セル）MCが行列状に配置されている。同一行に配置されたメモリセルMCの各コントロールゲート（21g）は、複数のワード線WL0～WLnのうちの対応する1つのワード線に共通に接続されている。また、同一列に配置されたメモリセルMCの各ドレイン領域（21e）は、複数のビット線BL0～BLkのうちの対応する1つのビット線に共通に接続されている。一般に、メモリセルアレイ21は複数のブロックに分割されており、同じブロック内のメモリセルMCの各ソース

領域 (21d) が、複数のソース線（図示していない）のうちの対応するブロックのソース線に共通に接続されている。

【0052】

各ビット線 $B_{L0} \sim B_{Lk}$ は、複数の選択トランジスタ $S_{T0} \sim S_{Tk}$ のうちの対応する 1 つの選択トランジスタを介して、上記センスアンプ 31 に接続されている。選択トランジスタ $S_{T0} \sim S_{Tk}$ は、それぞれのゲートが、複数のカラム線 $C_{OL0} \sim C_{OLm}$ のうちの対応する 1 つのカラム線に接続されている。

【0053】

上記センスアンプ 31 は、たとえば、本体セル MC のセル電流 I_{ce11} と 3 つのリファレンス電流 I_{ref_i} ($i = 0, 1, 2$) とをそれぞれ比較するための差動増幅器（第 1, 第 2, 第 3 のセンスアンプ）31-1, 31-2, 31-3 を有し、各差動増幅器 31-1, 31-2, 31-3 の出力 $D0, D1, D2$ の論理演算によって、セルデータに対応する信号（2 ビット）を発生する。

【0054】

この実施形態の場合、本体セル MC のセル電流 I_{ce11} は、差動増幅器 31-1, 31-2, 31-3 の各反転入力端に供給される。このセル電流 I_{ce11} の、上記差動増幅器 31-1, 31-2, 31-3 の各反転入力端への供給は、p 型 MOS トランジスタ 31a および n 型 MOS トランジスタからなるバイアストランジスタ 31b を介して行われる。

【0055】

すなわち、差動増幅器 31-1, 31-2, 31-3 の各反転入力端は、p 型 MOS トランジスタ 31a のゲート電極およびドレイン領域に共通に接続されている。この p 型 MOS トランジスタ 31a のソース領域には、電源 V_{cc} が接続されている。また、p 型 MOS トランジスタ 31a のドレイン領域は、バイアストランジスタ 31b のドレイン領域に接続されている。このバイアストランジスタ 31b のゲート電極には、バイアス電源線 B_{IAS} が接続されている。そして、このバイアストランジスタ 31b のソース領域に、上記セルアレイ 21 内の各ビット線 $B_{L0} \sim B_{Lk}$ につながる、上記選択トランジスタ $S_{T0} \sim S_{Tk}$ の各ドレイン領域が共通に接続されている。

【0056】

一方、上記リファレンス電流 I_{ref0} , 1, 2 は、p型MOSトランジスタ $31-1a$, $31-2a$, $31-3a$ およびn型MOSトランジスタからなるバイアストランジスタ $31-1b$, $31-2b$, $31-3b$ を介して、上記差動増幅器 $31-1$, $31-2$, $31-3$ のそれぞれの非反転入力端に供給される。

【0057】

この場合、差動増幅器 $31-1$ の非反転入力端は、p型MOSトランジスタ $31-1a$ のゲート電極およびドレイン領域に接続されている。このp型MOSトランジスタ $31-1a$ のソース領域には、電源 V_{cc} が接続されている。また、p型MOSトランジスタ $31-1a$ のドレイン領域は、バイアストランジスタ $31-1b$ のドレイン領域に接続されている。このバイアストランジスタ $31-1b$ のゲート電極には、バイアス電源線 $BIAS$ が接続されている。

【0058】

同様に、差動増幅器 $31-2$ の非反転入力端は、p型MOSトランジスタ $31-2a$ のゲート電極およびドレイン領域に接続されている。このp型MOSトランジスタ $31-2a$ のソース領域には、電源 V_{cc} が接続されている。また、p型MOSトランジスタ $31-2a$ のドレイン領域は、バイアストランジスタ $31-2b$ のドレイン領域に接続されている。このバイアストランジスタ $31-2b$ のゲート電極には、バイアス電源線 $BIAS$ が接続されている。

【0059】

同様に、差動増幅器 $31-3$ の非反転入力端は、p型MOSトランジスタ $31-3a$ のゲート電極およびドレイン領域に接続されている。このp型MOSトランジスタ $31-3a$ のソース領域には、電源 V_{cc} が接続されている。また、p型MOSトランジスタ $31-3a$ のドレイン領域は、バイアストランジスタ $31-3b$ のドレイン領域に接続されている。このバイアストランジスタ $31-3b$ のゲート電極には、バイアス電源線 $BIAS$ が接続されている。

【0060】

そして、これらバイアストランジスタ $31-1b$, $31-2b$, $31-3b$ の各ソース領域に、上記リファレンス電流 I_{ref0} , 1, 2 が供給される。つまり、リ

ファレンス電流 $I_{ref0}, 1, 2$ を発生させるための、基準電流発生回路 4 1 が接続されている。

【0061】

基準電流発生回路 4 1 は、リファレンス電流 $I_{ref0}, 1, 2$ をそれぞれ発生させるための発生回路 4 1 a, 4 1 b, 4 1 c を備えて構成されている。発生回路 4 1 a, 4 1 b, 4 1 c のそれぞれは、リファレンスカラムトランジスタ 4 1 a-1, 4 1 b-1, 4 1 c-1、リファレンストランジスタ Q_{NR_i} ($i = 0, 1, 2$)、および、電圧発生回路 4 1 a-3, 4 1 b-3, 4 1 c-3 を有している。

【0062】

上記リファレンスカラムトランジスタ 4 1 a-1, 4 1 b-1, 4 1 c-1 は n 型 MOS トランジスタからなり、ドレイン領域のそれぞれが、上記センスアンプ 3 1 内のバイアストランジスタ 3 1-1b, 3 1-2b, 3 1-3b の各ソース領域に接続されている。リファレンスカラムトランジスタ 4 1 a-1, 4 1 b-1, 4 1 c-1 の各ゲート電極には、リファレンスカラム線 $RCOL$ が接続されている。

【0063】

上記リファレンストランジスタ $Q_{NR0}, 1, 2$ は n 型 MOS トランジスタからなり、ドレイン領域のそれぞれが、上記リファレンスカラムトランジスタ 4 1 a-1, 4 1 b-1, 4 1 c-1 の各ソース領域に接続されている。リファレンストランジスタ $Q_{NR0}, 1, 2$ の各ゲート電極には、上記電圧発生回路 4 1 a-3, 4 1 b-3, 4 1 c-3 が接続されている。リファレンストランジスタ $Q_{NR0}, 1, 2$ の各ソース領域は、接地電位に接続されている。

【0064】

上記電圧発生回路 4 1 a-3, 4 1 b-3, 4 1 c-3 は、リファレンストランジスタ $Q_{NR0}, 1, 2$ の各ゲート電極（リファレンスワード線 RWL_i ）に印加される電圧をそれぞれ発生するものである。

【0065】

図 4 は、上記電圧発生回路 4 1 a-3, 4 1 b-3, 4 1 c-3 の構成例を示すものである。ここでは、同図 (a) ~ (c) にそれぞれ示すように、電圧発生回路 4 1 a-3, 4 1 b-3, 4 1 c-3 の構成は同一とし、各リファレンスセル $RC0, R$

C_1 , RC_2 のしきい値電圧 V_{t_i} ($i = 0, 1, 2$) のみが異なるように構成した場合について説明する。

【0066】

図 (a) ~ (c) において、 WS_i ($i = 0, 1, 2$) は、電流非変換 p 型 MOS トランジスタ PQ_{a_i} ($i = 0, 1, 2$) のトランスコンダクタンスである。 WV_i ($i = 0, 1, 2$) は、ベリファイ ($V_{FYB} = L$) 時電流変換 p 型 MOS トランジスタ PQ_{b_i} ($i = 0, 1, 2$) のトランスコンダクタンスである。 WR_i ($i = 0, 1, 2$) は、読み出し ($R_{DB} = L$) 時電流変換 p 型 MOS トランジスタ PQ_{c_i} ($i = 0, 1, 2$) のトランスコンダクタンスである。

【0067】

WS_i は、 p 型 MOS トランジスタ PQ_{a_i} の各ソース電極に与えられる。この p 型 MOS トランジスタ PQ_{a_i} のゲートおよびドレイン領域には、それぞれ、 n 型 MOS トランジスタからなるバイアストランジスタ NQ_a を介して、リファレンスセル RC_i ($i = 0, 1, 2$) のドレイン領域が接続されている。リファレンスセル RC_i のコントロールゲート (V_{g_ref}) には、それぞれ、読み出し電圧に等しいゲート電圧 V_{read} が与えられる。リファレンスセル RC_i の各ソース領域は、接地電位に接続されている。

【0068】

本実施形態の場合、リファレンスセル（第1のリファレンスセル） RC_0 のしきい値電圧は V_{t0} であり、リファレンスセル（第2のリファレンスセル） RC_1 のしきい値電圧は V_{t1} ($V_{t1} > V_{t0}$) であり、リファレンスセル RC_2 のしきい値電圧は V_{t2} ($V_{t2} > V_{t1} > V_{t0}$) となっている。

【0069】

また、上記 p 型 MOS トランジスタ PQ_{a_i} のゲートおよびドレイン領域には、それぞれ、 p 型 MOS トランジスタ PQ_{b_i} , PQ_{c_i} の各ゲートが接続されている。 p 型 MOS トランジスタ PQ_{b_i} は、各ソース領域に WV_i が供給される。 p 型 MOS トランジスタ PQ_{b_i} の各ドレイン領域は、 p 型 MOS トランジスタ PQ_d の各ソース領域に接続されている。 p 型 MOS トランジ

スタ PQd の各ゲートは、ベリファイ信号線 $VFYB$ に接続されている。 p 型 MOS トランジスタ PQc_i は、各ソース領域に WR_i が供給される。 p 型 MOS トランジスタ PQc_i の各ドレイン領域は、 p 型 MOS トランジスタ PQe のソース領域に接続されている。 p 型 MOS トランジスタ PQe の各ゲートは、読み出し信号線 RDB に接続されている。

【0070】

p 型 MOS トランジスタ PQd , PQe の各ドレイン領域は共通に接続されるとともに、 n 型 MOS トランジスタからなるバイアストランジスタ NQb のドレイン領域、および、 n 型 MOS トランジスタ NQc のゲートに、それぞれ接続されている。バイアストランジスタ NQb の各ソース領域は、 n 型 MOS トランジスタ NQc の各ドレイン領域に接続されている。 n 型 MOS トランジスタ NQc の各ソース領域は接地電位に接続され、各ゲートは上記リファレンストランジスタ QNR_i の各ゲートに接続されている。

【0071】

このような構成により、データ読み出し時とベリファイ時とで、各リファレンストランジスタ $QNR0, 1, 2$ にリファレンス電流 $Iref0, 1, 2$ を流すための、リファレンスセル $RC0, 1, 2$ のしきい値電圧 $Vt0, 1, 2$ に応じた出力がそれぞれ生成され、リファレンストランジスタ $QNR0, 1, 2$ の各ゲート電極（リファレンスワード線 $RWL0, 1, 2$ ）に与えられる。

【0072】

すなわち、データの読み出し時におけるリファレンス電流 $Iref_i$ は、 p 型 MOS トランジスタ PQe がオン、 p 型 MOS トランジスタ PQd がオフとなって、 WS_i と WR_i との比に応じてセル電流 $Irefcell_i$ ($i = 0, 1, 2$) が増幅されることにより生成され、ベリファイ時におけるリファレンス電流 $Iref_i$ は、 p 型 MOS トランジスタ PQd がオン、 p 型 MOS トランジスタ PQe がオフとなって、 WS_i と WV_i との比に応じてセル電流 $Irefcell_i$ ($i = 0, 1, 2$) が増幅されることにより生成される。

【0073】

ここで、リファレンスセル RC_i のしきい値電圧を Vti 、ゲート電圧 V

r 印加時のセル電流を $I_{ref\ cell\ i}$ 、 $WS_i : WR_i = 1 : a_i$ 、 $WS_i : WV_i = 1 : b_i$ とすると、

$$I_{ref\ i} = a_i I_{ref\ cell\ i} \quad (\text{読み出し時})$$

$$= b_i I_{ref\ cell\ i} \quad (\text{ベリファイ時}) \quad \dots \quad (1)$$

となる。

【0074】

よって、 $Vt_0 < Vt_1 < Vt_2$ のとき、 $b_0/a_0 < b_1/a_1 < b_2/a_2$ とすれば、たとえば図5に示すように、各ベリファイマージン $I_{ref\ i_v} - I_{ref\ i_r}$ (v はベリファイ時、 r は読み出し時をそれぞれ示す) がほぼ等しくなるような、 a_i 、 b_i の組み合わせが存在する。

【0075】

すなわち、本実施形態の場合、基準電流発生回路41は、少なくともリファレンスセルRC0と、このリファレンスセルRC0に流れるセル電流 $I_{ref\ ce\ 110}$ を增幅する電圧発生回路41a-3、上記リファレンスセルRC0のしきい値電圧 Vt_0 よりも高いしきい値電圧 Vt_1 とされたリファレンスセルRC1と、このリファレンスセルRC1に流れるセル電流 $I_{ref\ ce\ 111}$ を增幅する電圧発生回路41b-3、および、上記リファレンスセルRC0、RC1のしきい値電圧 Vt_0 、 Vt_1 よりも高いしきい値電圧 Vt_2 とされたリファレンスセルRC2と、このリファレンスセルRC2に流れるセル電流 $I_{ref\ ce\ 112}$ を增幅する電圧発生回路41c-3を含んで構成されている。そして、電圧発生回路41a-3におけるデータ読み出し時の電流の増幅率 (a_i) に対する書き込みベリファイ時の電流の増幅率 (b_i) の比である第1の電流増幅比が1よりも大きく、電圧発生回路41b-3におけるデータ読み出し時の電流の増幅率に対する書き込みベリファイ時の電流の増幅率の比である第2の電流増幅比が1よりも大きく、電圧発生回路41c-3におけるデータ読み出し時の電流の増幅率に対する書き込みベリファイ時の電流の増幅率の比である第3の電流増幅比が1よりも大きくなるように設定されている。

【0076】

図6は、リファレンス電流 I_{ref} に対するセル分布の一例を示すものである

。ただし、vはベリファイ時、rは読み出し時を示している。

【0077】

本実施形態の場合、状態“0”に対応するセル分布の下限はリファレンス電流 I_{ref0v} によって、状態“1”に対応するセル分布の下限はリファレンス電流 I_{ref1v} によって、状態“2”に対応するセル分布の下限はリファレンス電流 I_{ref2v} によって、それぞれ補償される。

【0078】

そして、リファレンス電流 I_{ref0r} は、状態“0”に対応するセル分布と状態“1”に対応するセル分布との間に、リファレンス電流 I_{ref1r} は、状態“1”に対応するセル分布と状態“2”に対応するセル分布との間に、リファレンス電流 I_{ref2r} は、状態“2”に対応するセル分布と状態“3”に対応するセル分布との間に、それぞれ位置する。

【0079】

図7は、各動作モードでのリファレンス電流 I_{ref} 、および、本体セルMCのゲート電圧 V_{g_hontai} とリファレンスセルRCのゲート電圧 V_{g_ref} との組み合わせを示すものである。なお、過消去ベリファイOEV時とデータの書き込み状態“2”を規定するための書き込みベリファイPV3時におけるリファレンス電流 I_{ref} は、 I_{ref2r} または I_{ref2v} を用いればよいことを示している。

【0080】

たとえば、データの読み出し時 (readモード)において、リファレンス電流 I_{ref} は I_{ref0r} , $1r$, $2r$ 、本体セルMCのゲート電圧 V_{g_hontai} およびリファレンスセルRCのゲート電極 V_{g_ref} はそれぞれ V_r となっている。

【0081】

たとえば、消去ベリファイ時 (EVモード)において、リファレンス電流 I_{ref} は $0v$ 、本体セルMCのゲート電圧 V_{g_hontai} およびリファレンスセルRCのゲート電圧 V_{g_ref} はそれぞれ V_r となっている。

【0082】

たとえば、過消去ベリファイ時（OEVモード）において、リファレンス電流 I_{ref} は $2r$ (v)、本体セルMCのゲート電圧 V_{g_hontai} は V_{sw1} 、リファレンスセルRCのゲート電極 V_{g_ref} は V_r となっている。

【0083】

たとえば、データの書き込み状態“0”を規定するための書き込みベリファイ時（PV1モード）において、リファレンス電流 I_{ref} は $1v$ 、本体セルMCのゲート電圧 V_{g_hontai} およびリファレンスセルRCのゲート電極 V_{g_ref} はそれぞれ V_r となっている。

【0084】

たとえば、データの書き込み状態“1”を規定するための書き込みベリファイ時（PV2モード）において、リファレンス電流 I_{ref} は $2v$ 、本体セルMCのゲート電圧 V_{g_hontai} およびリファレンスセルRCのゲート電極 V_{g_ref} はそれぞれ V_r となっている。

【0085】

たとえば、データの書き込み状態“2”を規定するための書き込みベリファイ時（PV3モード）において、リファレンス電流 I_{ref} は $2r$ (v)、本体セルMCのゲート電圧 V_{g_hontai} は V_{sw2} 、リファレンスセルRCのゲート電極 V_{g_ref} は V_r となっている。

【0086】

簡単のため、 a_i はすべて「1」を用いるのが望ましいが、その他の値でももちろん可能である。 a_i がすべて「1」で、 $I_{ref_i_v} - I_{ref_i_r} = I_0$ としたい場合には、図6の特性図をもとに、

$$(b_i - 1) g_m (V_r - V_{t_i}) = I_0$$

すなわち、

$$b_i = 1 + I_0 / g_m / (V_r - V_{t_i}) \quad \dots \quad (2)$$

と設定すれば、各分布のベリファイマージンを一定にできる。ただし、 g_m はセル電流 $I_{ref_cell_i}$ のトランスコンダクタンスである。

【0087】

リファレンスセルRC_iのしきい値電圧 V_{t_i} を、それぞれ、書き込み／

消去によって調整すれば、上記式（2）により、ベリファイマージンを保証することができる。

【0088】

上記したように、読み出し時のリファレンス電流 I_{ref_r} とベリファイ時のリファレンス電流 I_{ref_v} とを、同じリファレンスセル RC_i からレベルに応じた変換率（電流比）にもとづいて発生させるようにしている。これにより、ベリファイマージンを安定に保証できる。また、異なる分布のセルのベリファイマージンは、上記変換率をリファレンスセル RC_i ごとに設定するようにしているため、どの分布のセルに対しても一定のベリファイマージンを保証できる。

【0089】

特に、1つのリファレンスセルによって2つのリファレンス電流を発生できるようになる結果、リファレンスセルの削減が可能となり、メモリの小型化にとっても有用である。

【0090】

なお、上述した実施形態においては、本発明を四値フラッシュメモリに適用した場合について説明したが、これに限らず、たとえば二値フラッシュメモリにも同様に適用できる。二値フラッシュメモリに適用した場合には、消去ベリファイ電圧 V_{ev} を発生させるための回路が不要となる分だけ、二値フラッシュメモリの小型化が可能となる。

【0091】

また、基準電流発生回路におけるリファレンスセルを3つとした場合（図4参照）について説明したが、これに限らず、たとえば2つのリファレンスセルにより構成することも可能である。

【0092】

図8は、四値フラッシュメモリにおいて、リファレンスセルを2つとした場合の、電圧発生回路の構成例を示すものである。ここでは、リファレンストランジスタ $QNR2$ のゲート電極（ $RWL2$ ）に印加される電圧を発生させるための電圧発生回路の、リファレンスセルを省略するようにした場合について説明する。

【0093】

この例において、たとえば電圧発生回路41c-3'は、電圧発生回路41b-3のバイアス電圧PBIASをもとに、リファレンス電流Iref2を発生させるように構成されている。こうして、リファレンスセルRC_iの数を減らし、回路の構成を簡略化している。

【0094】

この場合、 $V_{t0} < V_{t1}$ のとき、 $b_0/a_0 < b_1/a_1 < b_2/a_2$, $b_1 > b_2$, $a_1 > a_2$ を満たすようなパラメータ設定がなされる。すなわち、電圧発生回路41a-3におけるデータ読み出し時の電流の増幅率(a_i)に対する書き込みベリファイ時の電流の増幅率(b_i)の比である第1の電流増幅比が1よりも大きく、電圧発生回路41b-3, 41c-3'におけるデータ読み出し時の電流の増幅率に対する書き込みベリファイ時の電流の増幅率の比である第2の電流増幅比が1よりも大きく、しかも、第1の電流増幅比が第2の電流増幅比よりも小さくなるように設定されている。

【0095】

なお、このような構成における $V_g - I_{cell}$ 特性を図9に、リファレンス電流Irefおよびゲート電圧 V_{g_hontai} , V_{g_ref} の各動作モードでの組み合わせを図10に、それぞれ示している。

【0096】

その他、本発明は、上記(各)実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。さらに、上記(各)実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。たとえば、(各)実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題(の少なくとも一つ)が解決でき、発明の効果の欄で述べられている効果(の少なくとも一つ)が得られる場合には、その構成要件が削除された構成が発明として抽出され得る。

【0097】

【発明の効果】

以上、詳述したようにこの発明によれば、ベリファイマージンを安定に保証でき、読み出しマージンの減少を防止することが可能な不揮発性半導体メモリを提供できる。

【図面の簡単な説明】

【図1】

本発明の一実施形態にかかる四値フラッシュメモリの構成例を示すブロック図

【図2】

図1中のメモリセルアレイにおける不揮発性メモリセルの素子構造を示す断面図。

【図3】

図1の四値フラッシュメモリにおける構成の要部を示す回路構成図。

【図4】

図3中の基準電流発生回路における電圧発生回路の構成例を示す回路図。

【図5】

図4の電圧発生回路による、四値フラッシュメモリにおけるVg-Icell特性を示す図。

【図6】

図1の四値フラッシュメモリにおける、リファレンス電流に対するセル分布の一例を示す図。

【図7】

図4の電圧発生回路による、各動作モードでのリファレンス電流とゲート電圧との組み合わせを示す図。

【図8】

本発明にかかる電圧発生回路の他の構成例を示す回路図。

【図9】

図8の電圧発生回路による、四値フラッシュメモリにおけるVg-Icell特性を示す図。

【図10】

図8の電圧発生回路による、各動作モードでのリファレンス電流とゲート電圧との組み合わせを示す図。

【図11】

従来技術とその問題点を説明するために示す、二値フラッシュメモリの回路構成図。

【図12】

図11の二値フラッシュメモリにおける $V_g - I_{cell}$ 特性を示す図。

【図13】

図11の二値フラッシュメモリにおける、各動作モードでのゲート電圧の組み合わせを示す図。

【図14】

図11の二値フラッシュメモリにおける、ゲート電圧に対するセル分布の一例を示す図。

【符号の説明】

1 1 … アドレスラッチ

1 2 … アドレスカウンタ

1 3 … アドレスバッファ

1 4 … I/Oバッファ

1 5 … データラッチ

2 1 … メモリセルアレイ

2 1 a … P型半導体基板

2 1 b … N型ウエル領域

2 1 c … P型ウエル領域

2 1 d … ソース領域

2 1 e … ドレイン領域

2 1 f … フローティングゲート

2 1 g … コントロールゲート

2 1 h, 2 1 i, 2 1 j … コンタクト領域

3 1 … センスアンプ

3 1 -1, 3 1 -2, 3 1 -3 … 差動増幅器
 3 1 -1a, 3 1 -2a, 3 1 -3a … p型MOSトランジスタ
 3 1 -1b, 3 1 -2b, 3 1 -3b … バイアストランジスタ (n型MOSトランジ
 スタ)
 3 1 a … p型MOSトランジスタ
 3 1 b … バイアストランジスタ (n型MOSトランジスタ)
 3 2 … カラムゲート回路
 3 3 … 書き込み回路
 3 4 … コマンドレジスタ
 3 5 … コントローラ
 3 6 … ロウデコーダ
 3 7 … カラムデコーダ
 3 8 … チャージポンプ回路
 3 9 … レギュレータ回路
 4 1 … 基準電流発生回路
 4 1 a, 4 1 b, 4 1 c … 発生回路
 4 1 a-1, 4 1 b-1, 4 1 c-1 … リファレンスカラムトランジスタ (n型MO
 Sトランジスタ)
 4 1 a-3, 4 1 b-3, 4 1 c-3 (4 1 c-3') … 電圧発生回路
 MC … メモリセル (本体セル)
 WL₀ ~ WL_n … ワード線
 BL₀ ~ BL_k … ビット線
 ST₀ ~ ST_k … 選択トランジスタ
 COL₀ ~ COL_m … カラム線
 I_{cell} … セル電流
 I_{ref_i} (i = 0, 1, 2) … リファレンス電流
 D₀, D₁, D₂ … 差動増幅器 3 1 -1, 3 1 -2, 3 1 -3 の出力
 V_{cc} … 電源
 BIAS … バイアス電源線

P B I A S …バイアス電圧

Q N R _ i (i = 0, 1, 2) …リファレンストランジスタ (n型MOSトランジスタ)

R C O L …リファレンスカラム線

R W L _ i (i = 0, 1, 2) …リファレンスワード線

R C _ i (i = 0, 1, 2) …リファレンスセル

V t _ i (i = 0, 1, 2) …リファレンスセルのしきい値電圧

P Q a _ i (i = 0, 1, 2) …電流非変換 p型MOSトランジスタ

W S _ i (i = 0, 1, 2) …p型MOSトランジスタ P Q a _ i のトランスクンダクタンス

P Q b _ i (i = 0, 1, 2) …ベリファイ時電流変換 p型MOSトランジスタ

W V _ i (i = 0, 1, 2) …p型MOSトランジスタ P Q b _ i のトランスクンダクタンス

P Q c _ i (i = 0, 1, 2) …読み出し時電流変換 p型MOSトランジスタ

W R _ i (i = 0, 1, 2) …p型MOSトランジスタ P Q c _ i のトランスクンダクタンス

I r e f c e l l _ i (i = 0, 1, 2) …セル電流

N Q a, N Q b …バイアストランジスタ (n型MOSトランジスタ)

N Q c …n型MOSトランジスタ

P Q d, P Q e …p型MOSトランジスタ

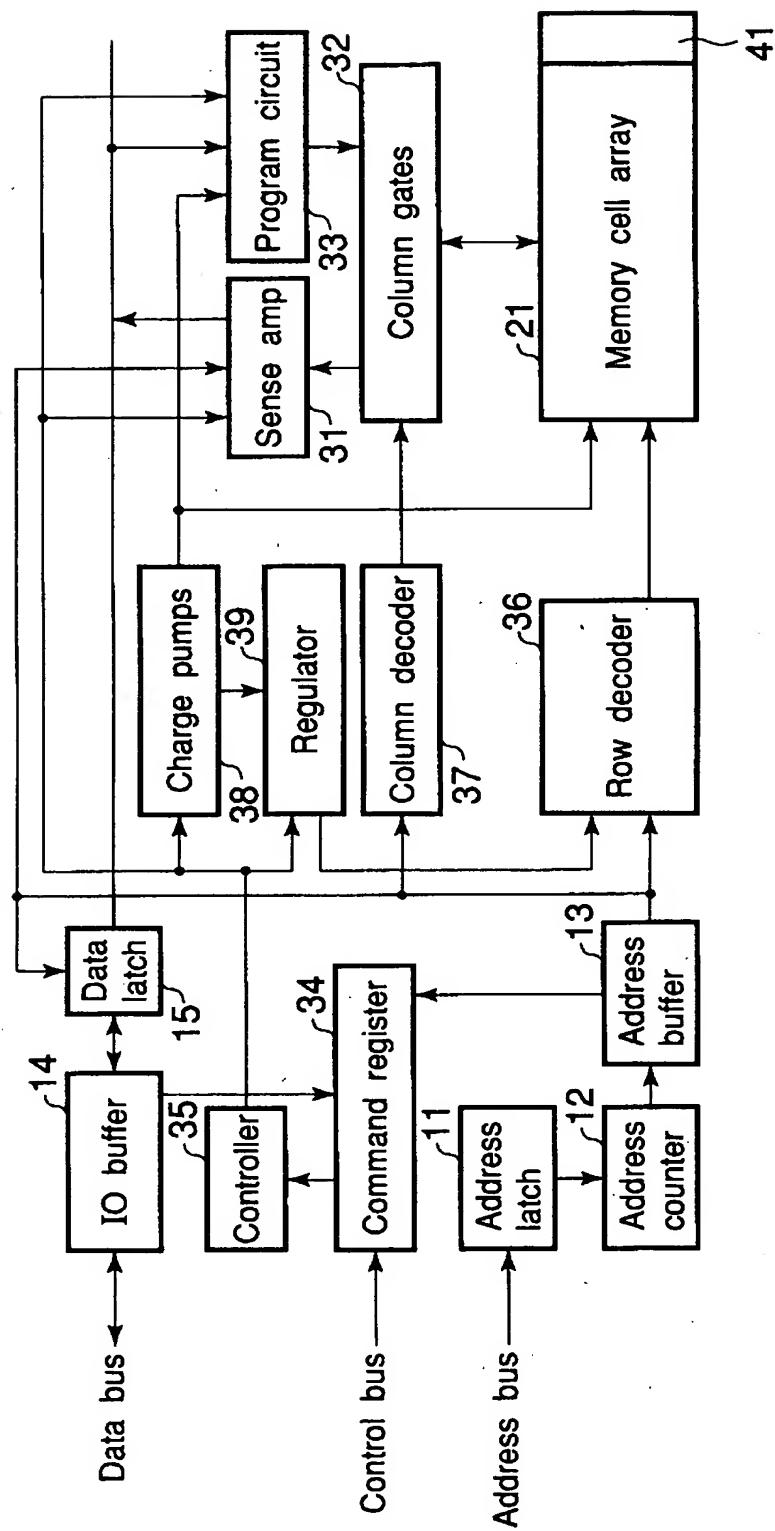
V F Y B …ベリファイ信号線

R D B …読み出し信号線

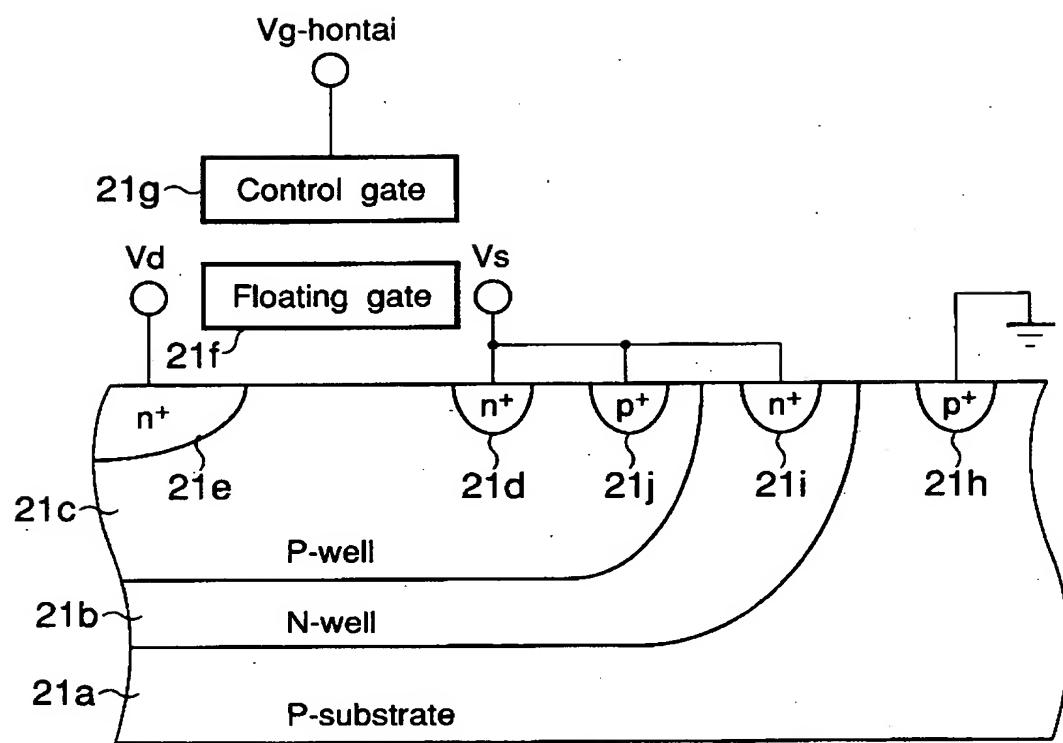
【書類名】

図面

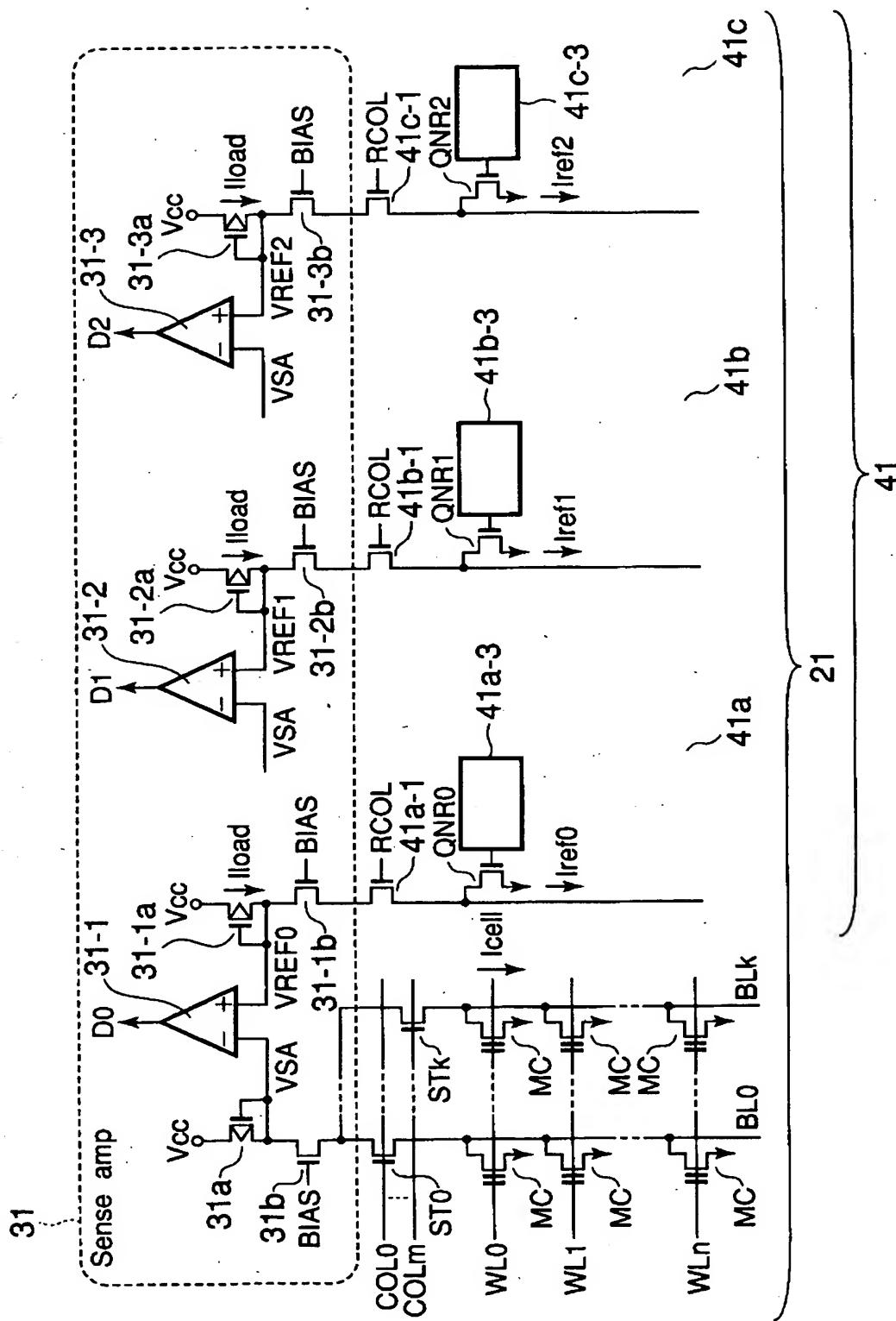
【図1】



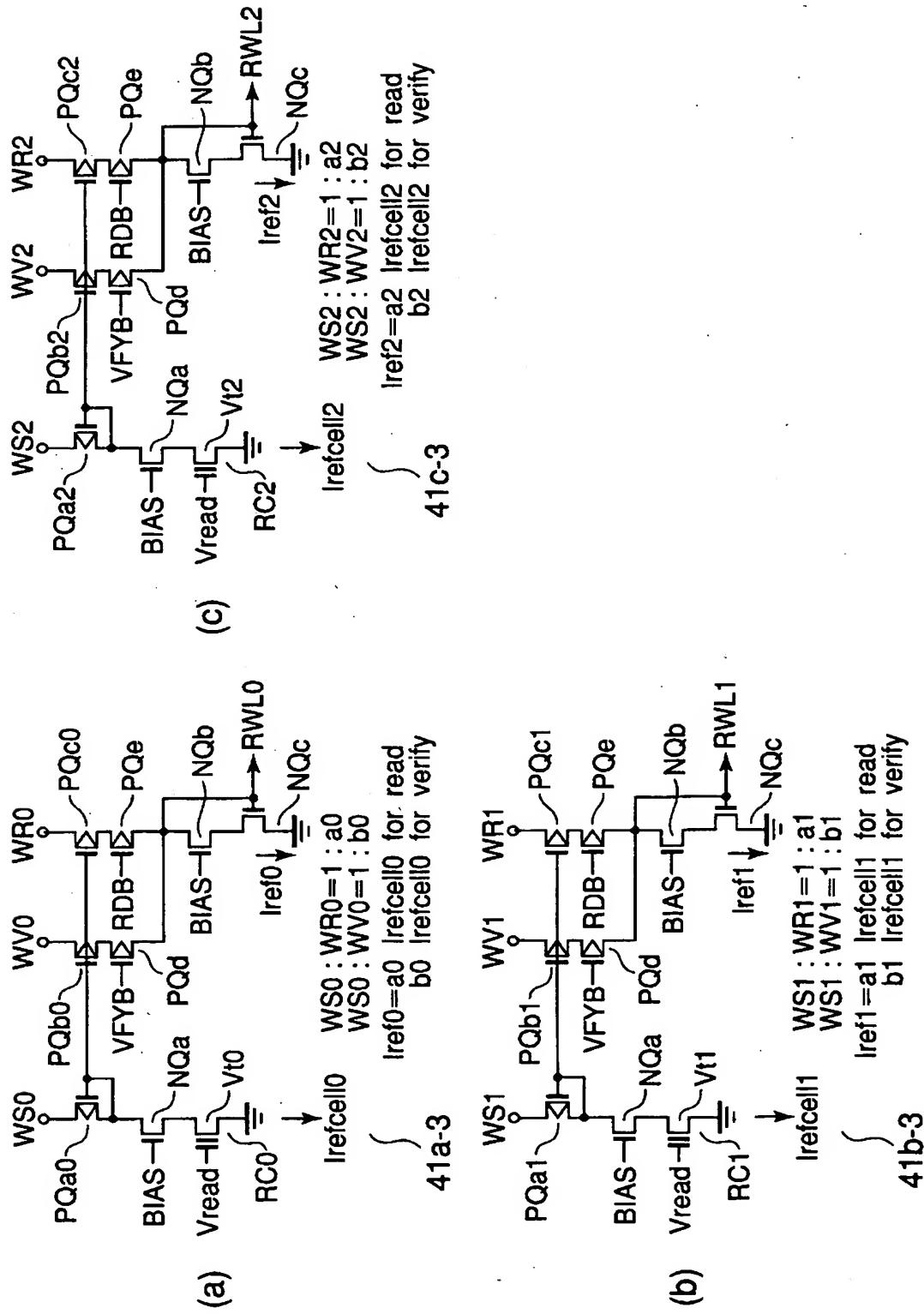
【図2】



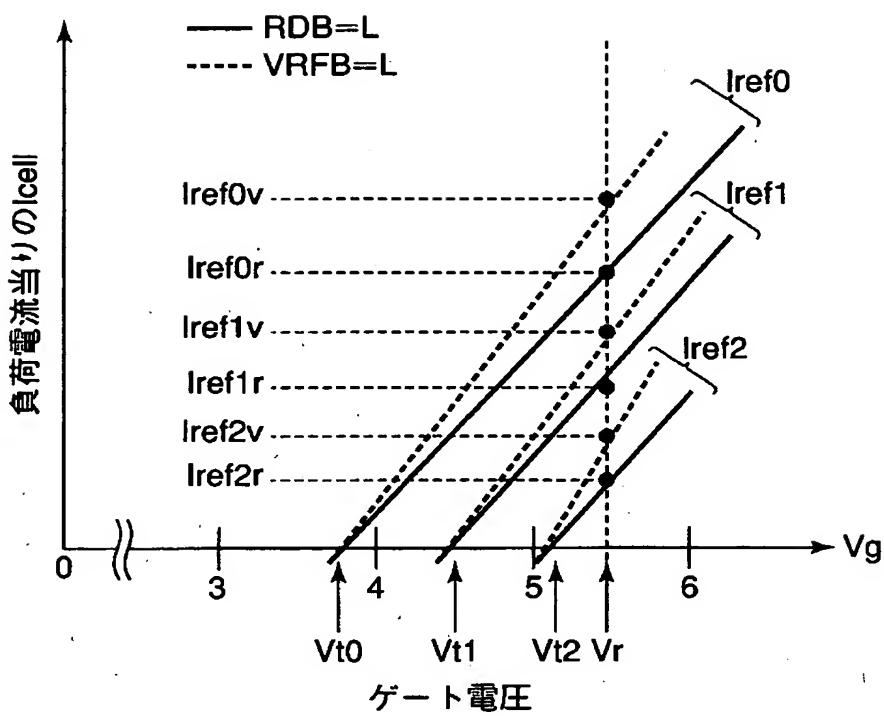
【図3】



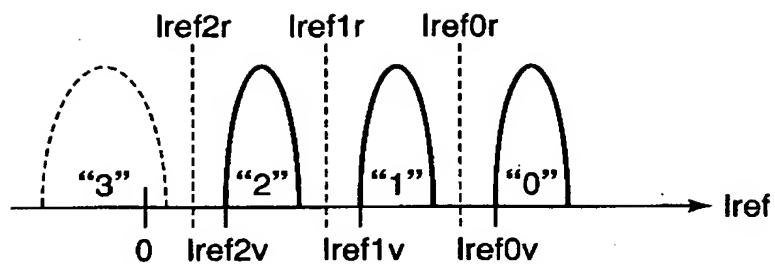
【図4】



【図5】



【図6】

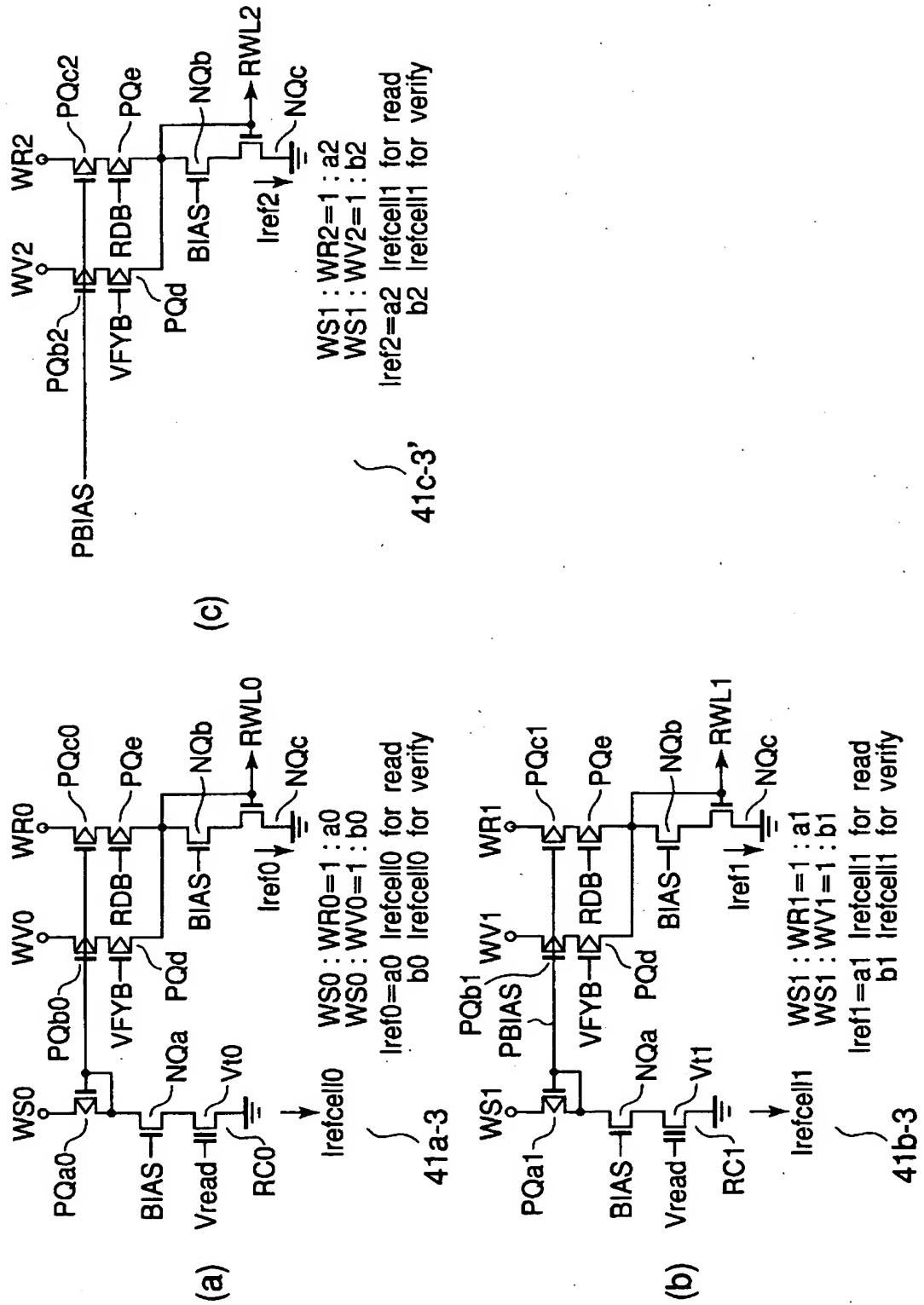


【図7】

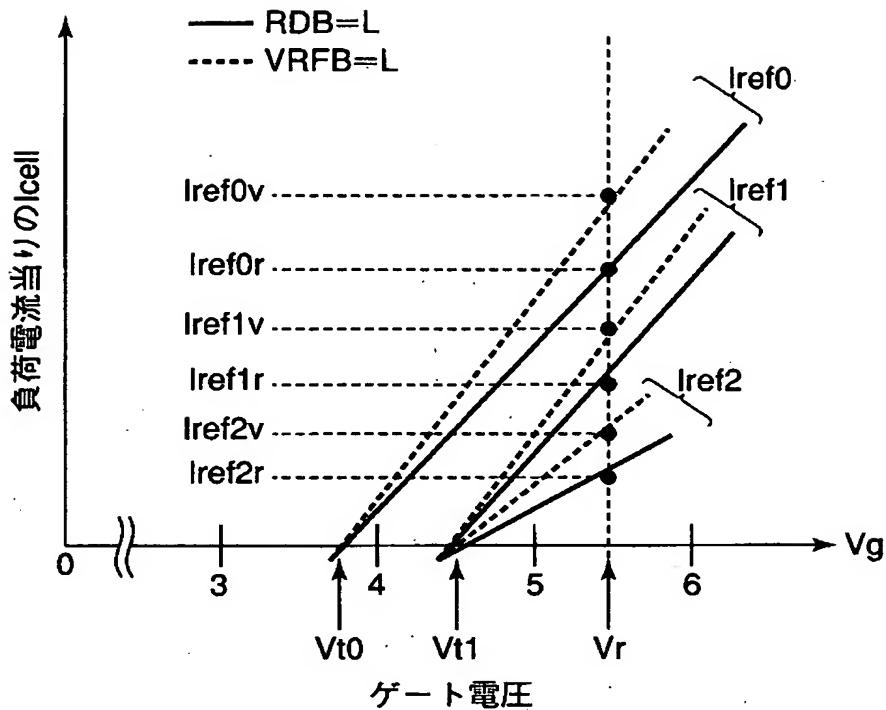
	mode					
	Read	EV	OEV	PV1	PV2	PV3
Iref	0r, 1r, 2r	0v	2r(v)	1v	2v	2r(v)
Vg-hontai	Vr	Vr	Vsw1	Vr	Vr	Vsw2
Vg-ref	Vr	Vr	Vr	Vr	Vr	Vr

$$V_r = 5.5V / V_{sw1} = 2V / V_{sw2} = 6.5V$$

【図8】



【図9】

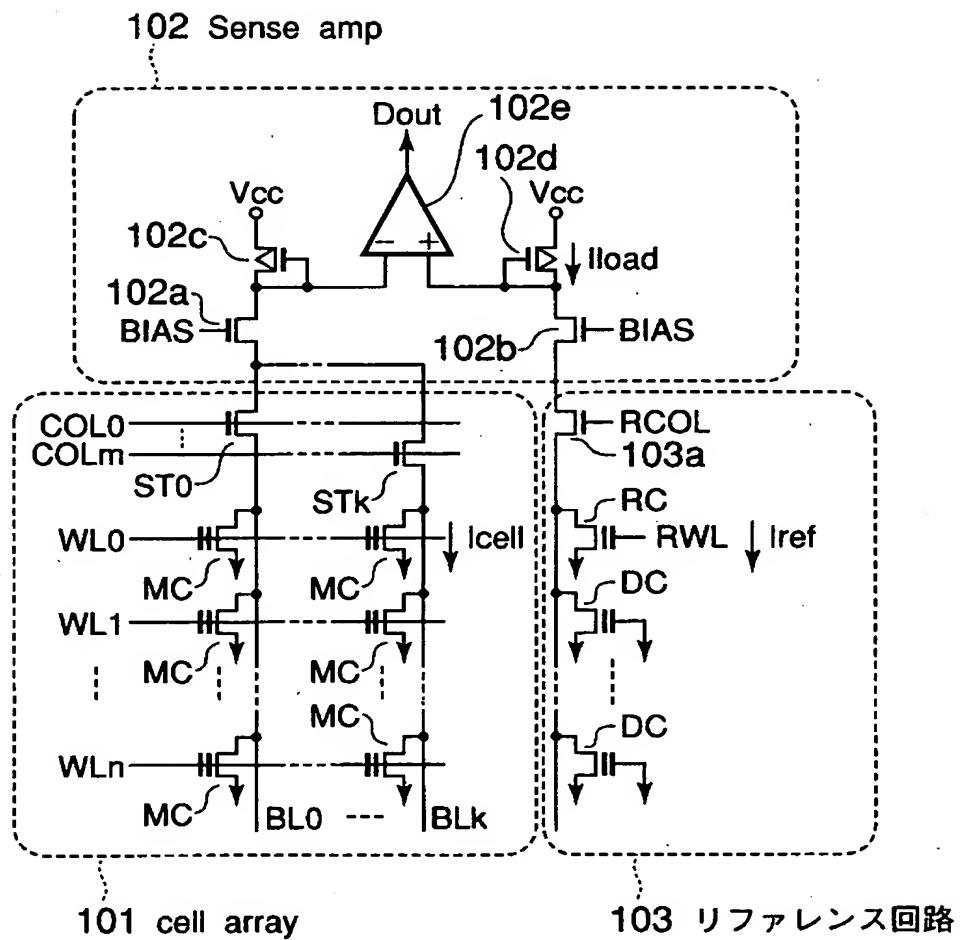


【図10】

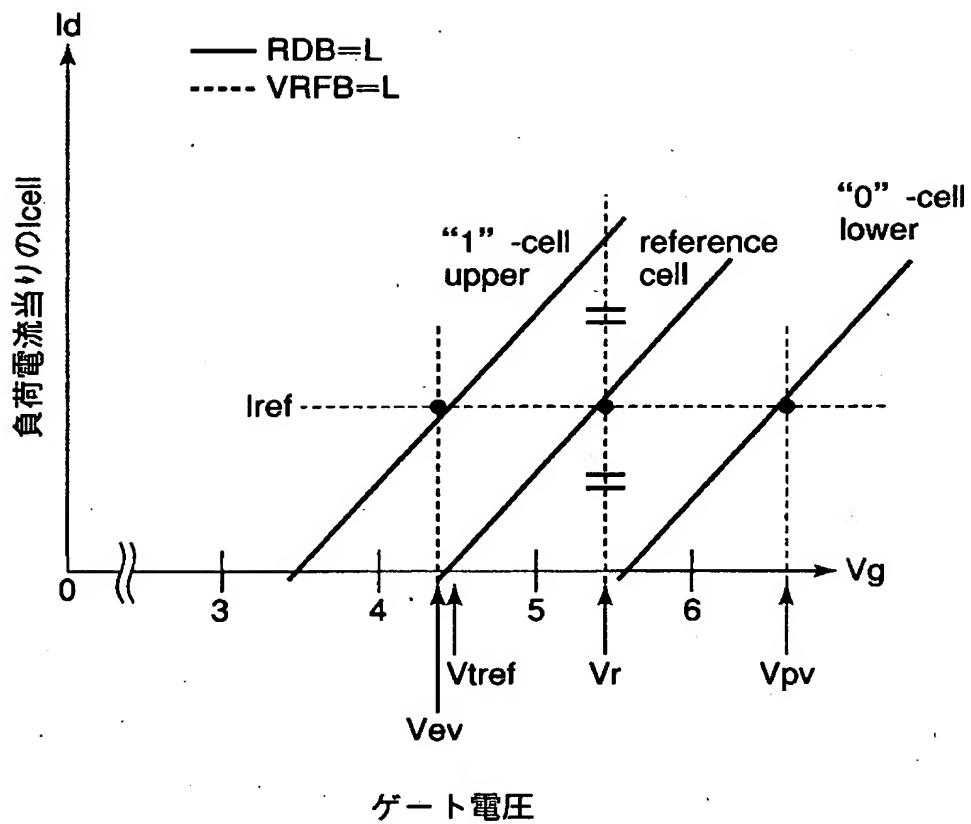
	mode					
	Read	EV	OEV	PV1	PV2	PV3
I _{ref}	0r, 1r, 2r	0v	2r(v)	1v	2v	2r(v)
V _{g-hontai}	V _r	V _r	V _{sw1}	V _r	V _r	V _{sw2}
V _{g-ref}	V _r	V _r	V _r	V _r	V _r	V _r

$$V_r = 5.5v / V_{sw1} = 2v / V_{sw2} = 6.5v$$

【図11】



【図12】

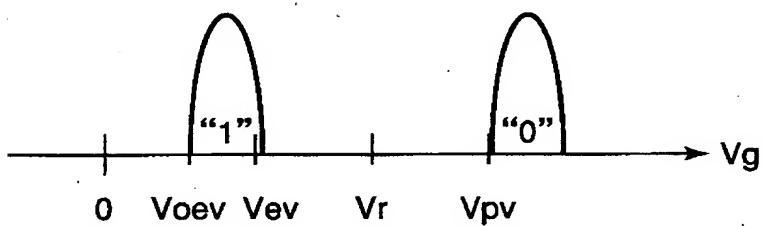


【図13】

	mode			
	Read	EV	OEV	PV
Vg-hontai	Vr	Vev	Voev	Vpv
Vg-ref	Vr	Vr	Vr	Vr

$$V_r = 5.5V / V_{oev} = 2V / V_{ev} = 4V / V_{pv} = 6.5V$$

【図14】



【書類名】 要約書

【要約】

【課題】 本発明は、四値フラッシュメモリにおいて、ベリファイマージンを安定に保証できるようにすることを最も主要な特徴とする。

【解決手段】 たとえば、メモリセルアレイ21の各メモリセルMCからビット線BL0～BLkに流れる電流Ic e 11との比較のためのリファレンス電流Iref0, 1, 2を発生させる基準電流発生回路41に、リファレンスセルに流れ電流を、データ読み出し時の電流の増幅率に対する書き込みベリファイ時の電流の増幅率の比である電流増幅比が1よりも大きくなるように増幅する増幅回路41a-3, 41b-3, 41c-3を設けた構成となっている。

【選択図】 図3

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号

氏 名 株式会社東芝